

robotron

**Floppy-Disk-Controller
K 5126**

Betriebsdokumentation

1. Auflage
Karl-Marx-Stadt, 1983

Inhaltsverzeichnis

I. Verwendung und Einordnung

II. Technische Daten

III. Funktionsbeschreibung

IV. Kurzzeichenübersicht

V. Serviceschaltpläne

I. Verwendung und Einordnung

Der DMA-fähige Controller K5126 dient zur Adaptierung von maximal vier Laufwerken (Standard- oder Minifloppy). Er kann wahlweise mit dem MFM-Aufzeichnungsverfahren (double density) oder FM-Aufzeichnungsverfahren (single density) arbeiten.

Der Controller belegt 24 E/A Adressen, die frei adressierbar sind. Die EDC-Zeichenbildung und Auswertung, sowie die Markenbewertung wird hardwaremäßig durch den Controller - Schaltkreis I8272 (μ PD765) ausgeführt. Fehlermeldungen der Laufwerke und des Controllers können interruptgesteuert behandelt werden.

Bei Bedarf kann eine Schreibprecompensation von 500 ns bei Minifloppy bzw. 250 ns bei Standardfloppy durchgeführt werden. Der Anschluß von Doppelkopflaufwerken ist möglich. Die Programmierung des Controllers erfolgt entsprechend Programmiervorschriften der Bausteine FDC I8272 (μ PD765), DMA I8257 und des PIO U855.

Betriebsart: DMA-Betrieb

- Zusammenarbeit mit dem ZRE K2521 bis K2527
- Synchronisation des Datentausches mit dem DMA-Kanal durch das Signal / BUSRQ
- simultaner Betrieb weiterer DMA-Einheiten und des zentralen Prozessors unter Beachtung der BUS-Auslastung möglich

II. Technische Daten

- Der FDC K5125 erfüllt die BUS-Richtlinie MR K1520, KROS 4032
- 24 E/A-Adressen werden belegt, Adressenzuordnung frei wählbar
- 1 Steckeinheit 215 x 175 mm²
- griffseitig ein Steckverbinder TGL 29331/04-07, 2seitig, 26polig mit Linienanschluß und Auswahlleitungen für maximal 4 Laufwerke (Minifloppy oder Standardfloppy)
- gerätseitig 2 Steckverbinder TGL 29331/03, 2reihig, 58polig mit Anschluß für Systembus
- Kabellänge für Anschlußkabel ≤ 5 m
- hardwaremäßige Markenerkennung
- hardwaremäßige FDC-Zeichenbildung- und Auswertung
- Umschaltung FM/MFM und Minifloppy/Standardfloppy durch Programm
- Fehlermeldung durch Interrupt
- vom Systemtakt unabhängige Taktsteuerung
- beliebige Anordnung im Rechnerbus je nach gewünschter Priorität der Meldung der Anschlußsteuerung (BAI-BAO)
- Anschluß in die 1. Prioritätenkette eingeordnet (IEI-IEO)
- Stromaufnahmen:

$$U_B = + 5 \text{ V}$$

$$I_B \leq 2,5 \text{ A}$$

$$U_B = - 5 \text{ V}$$

$$I_B \leq 100 \text{ mA}$$

- hardwaremäßige Programmierung des Laufwerktypes

III. Funktionsbeschreibung

Inhaltsverzeichnis

1. Allgemeines
2. Blockschaltbild
3. Adressierung und Auswahl der Steckeinheit
4. Bustreiber und deren Steuerung
5. Steuerung der Anschlußeinheit und der Laufwerke
 - 5.1. Der PIO
 - 5.2. Der FDC-Schaltkreis 8272
 - 5.2.1. Charakteristische Merkmale des 8272
 - 5.2.2. Register - CPU Interface
 - 5.2.3. Kommandoausführung
 - 5.2.4. Auswahlmerkmal des 8272
 - 5.3. Der DMA - Controller 8257
6. Datenübertragung zwischen Datenspeicher und Folienspeicher
 - 6.1. Busanforderung und Busabgabe
 - 6.2. Adressbildung des DMA
 - 6.3. Datenübertragung vom Folienspeicher zum Datenspeicher (Lesen)
 - 6.4. Datenübertragung vom Datenspeicher zum Folienspeicher (Schreiben)
 - 6.5. Steuersignale
7. Leitungstreiber
8. Sonderbaustufen
 - 8.1. Impulverkürzerstufe
 - 8.2. Taktgenerator und Precompensation
 - 8.3. PLL-Schaltung
 - 8.3.1. Prinzip
 - 8.3.2. Schaltungsbeschreibung
 - 8.3.3. Prüfung der PLL-Schaltung
 - 8.3.3.1. Überprüfung VCO-Frequenz (2 MHz \pm 1 %)
 - 8.3.3.2. Statische Prüfung

1. Allgemeines

Die Steckereinheit dient der Kopplung flexibler Folienspeicher (5 1/4" oder 8") an die zentralen Recheneinheiten ZRE 2521 bis 2527. Der Datenaustausch zwischen Speicher und Folienspeicher erfolgt DMA gesteuert. Die Steckereinheit ist unter der Bezeichnung Floppy Disk Controller FDC K5126 Bestandteil des Mikrorechnersystems K1520.

2. Blockschaltbild

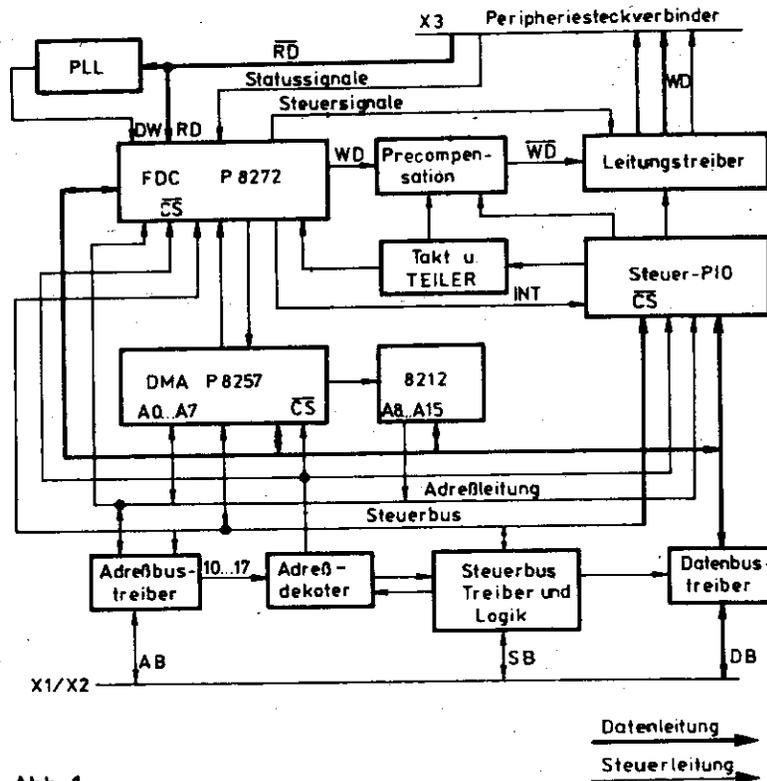


Abb. 1

3. Adressierung und Auswahl der Steckereinheit

Die Schnittstelle zwischen ZRE, Speicher und Floppy Disk Controller (FDC) ist der Rechnerbus K1520, der durch die Systembusrichtlinie MR K1520 charakterisiert wird. Von den 16 Adreßleitungen werden die niedrigen 8 Adressen (AB0 ... AB7) zur Adressierung der Anschlußeinheit genutzt. Die Leitungen AB0 ... AB3 beim DMA, AB0 ... AB1 bei PIO und AB0 beim FDC-Schaltkreis werden direkt an die Schaltkreise geführt. Die Adressen AB2 ... AB7 werden durch 2 Schaltkreise 8205 (A9.1; A9.2) dekodiert und bilden die CS-Signale für den DMA A10, den PIO A15 und den FDC A14. Die Adressierung kann unter der Bedingung, daß der FDC-Schaltkreis und der PIO die gleichen Adressen AB4-AB7 besitzen, wahlfrei erfolgen. Im A5120 haben die Schaltkreise des Floppy Disk Controllers folgende Adressen:

DMA: 60 - 6F

PIO: 10 - 13

FDC: 14 - 15 (bei den Adressen 16, 17 wird auch CS für den FDC gebildet)

Je nach festgelegter Adresse werden die beiden Schaltkreise 8205 A9.1 und A9.2 durch Brücken miteinander verbunden. Eine zusätzliche Dekodierung des \overline{CS} -Signale für den DMA erfolgt durch Wickeln der Brücke W1. An den Schaltkreis A9.1 wird zusätzlich das Signal \overline{IODY} geführt, wodurch die Anschlußseinheit auch bei gültiger Adresse abgeschaltet werden kann. Die \overline{CS} -Signale werden zur Vermeidung von Fehlern beim Interruptquittungszyklus während des \overline{MI} Signale gesperrt. Außerdem wurde das Signal \overline{IORQ} an den Schaltkreis A9.1 geführt. Nur wenn $\overline{IORQ} = 0$ wird bei gültiger Adresse ein \overline{CS} -Signal ausgegeben.

4. Bustreiber und deren Steuerung

Um die elektrischen Bedingungen der Systembusrichtlinie einzuhalten, werden die Steuerleitungen \overline{MI} , \overline{IORQ} , \overline{RD} , \overline{WR} , \overline{RFSH} und \overline{MREQ} über den bidirektionalen Treiber 8286 A3 geführt. Die Umschaltung des Treibers erfolgt mit dem Signal HLDA (Busfreigabe für DMA-Betrieb). Der Systemtakt und die Signale \overline{WAIT} werden aus den gleichen Gründen über den Treiber 8216 A1.2 geführt. Dadurch verbrauchen diese Leitungen nur ein K1520 Lasteinheit $I_L = 0,25 \text{ mA}$. Die Datenbusleitungen werden ebenfalls über bidirektionale Treiber 8216 A1.4; A1.5 geführt. Die Umschaltung der bidirektionalen Treiber erfolgt durch das Signal \overline{DIEN} .

\overline{DIEN}	Datenfluß
0	DI \rightarrow DB
1	DO \leftarrow DB

Die Leitungen DB sind direkt mit dem Datenbus verbunden, während die Leitungen DI und DO zunächst miteinander verknüpft werden und danach zu den Datenleitungen des DMA, des FDC-Schaltkreises und des PIO geführt werden. Die Steuerlogik ist so aufgebaut, daß die Treiber ständig auf Eingang geschaltet sind. Nur wenn die ZRE eine Information von der Anschlußseinheit lesen will, der DMA im Speicherschreibbetrieb arbeitet oder wenn durch die Anschlußsteuerung ein nicht quittierter Interrupt vorliegt und der Interruptquittungszyklus ausgeführt wird, schalten sich die Treiber auf den Datenbus auf. Durch die gleiche Logik erfolgt mit geringem Aufwand die Bildung des Signals \overline{RDY} -Anschlußsteuerung bereit.

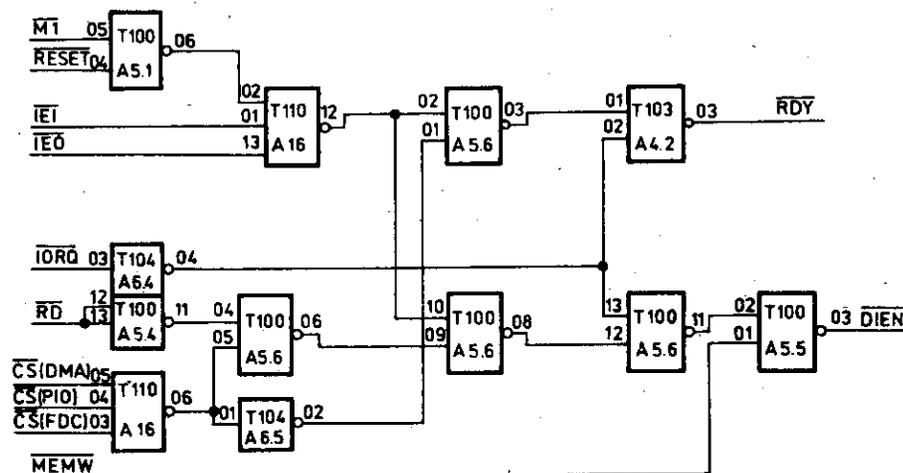


Abb. 2 Steuerung für Datenbustreiber und \overline{RDY} -Bildung

Im Nicht-DMA-Betrieb ist nur der Adreßtreiber 8216 A1.5 (Adressen A0-A3) auf Eingabe geschaltet. Die Adreßtreiber 8216 A1.4 und 8212 A2 sind im Tristatezustand. Bei DMA-Betrieb werden diese Treiber mit dem DMA-Signal HLDA auf dem Adreßbus aufgeschaltet.

5. Steuerung der Anschlußeinheit und der Laufwerke

Die Steuerung der Anschlußeinheit und der Laufwerke erfolgt durch die Schaltkreise PIO A15, FDC A14 und DMA A10.

5.1. Der PIO

Der PIO sendet und empfängt Steuersignale über seine beiden Ein-/Ausgab Tore. Er ist in die Interruptkette für zeitkritische Geräte eingeordnet (IEI-IEO). Der PIO wird über dem Systembus unmittelbar von der ZRE programmierbar gesteuert. Die beiden Tore arbeiten in den Betriebsarten:

TOR A - OUTPUT MODE (MODE0)
 TOR B - BIT MODE (MODE3)

und haben folgende Bedeutung:

TOR A	Signalbezeichnung	Kurzzeichen	Ein/Ausgang
A0	MOTOR ON 0, Verriegelung 0	LCK0	Ausgang
A1	MOTOR ON 1, Verriegelung 1	LCK1	Ausgang
A2	MOTOR ON 2, Verriegelung 2	LCK2	Ausgang
A3	MOTOR ON 3, Verriegelung 3	LCK3	Ausgang
A4	Terminal count	TCP	Ausgang
A5	Precompensation	SP	Ausgang
A6	MINI-Floppy	MIN	Ausgang
A7	frei		
ASTB	INDEX	IX	Eingang

TOR B	Signalbezeichnung	Kurzzeichen	Ein/Ausgang
B0	Interrupt vom FDC	INT	Eingang
B1	Diskettenwechsel	DC	Eingang
B2	Indexverbot	IXV	Ausgang
B3	Laufwerkcodierung 0	LK0	Eingang
B4	Laufwerkcodierung 1	LK1	Eingang
B5	Laufwerkcodierung 2	LK2	Eingang
B6	Laufwerkanwahl 1	DS1	Ausgang
B7	Laufwerkanwahl 0	DS0	Ausgang

5.2. Der FDC-Schaltkreis 8272

Der FDC-Schaltkreis arbeitet mit einem 8 MHz- (4 MHz- bei Minifloppybetrieb) Takt. Er kann IBM 3740 single-density-Format (FM) oder IBM System 34 double-density-Format (MFM) einschließlich doppelseitige Aufzeichnung unterstützen. Der 8272 liefert Steuersignale, welche den Anschluß einer externen PLL und einer Schreibprecompensation vereinfachen. Der FDC vereinfacht und behandelt die meisten Hauptaufgaben vereint mit der praktischen Durchführung eines FD-Laufwerk-Interfacespiels. Der FDC-Schaltkreis wird unmittelbar über den Systembus von der ZRE programmiert. Im DMA-Betrieb braucht der Prozessor nur die ent-

eprechenden Kommandobytes in den FDC zu laden und der gesamte Datenaustausch erfolgt unter Steuerung des 8272 und des DMA-Schaltkreises (8257).

Der 8272 kann 15 separate Kommandos ausführen:

1. Daten lesen
2. ID lesen
3. geschützte Daten lesen
4. eine Spur lesen
5. auf Gleichheit durchsuchen
6. auf größer oder gleich durchsuchen
7. auf kleiner oder gleich durchsuchen
8. spezifizieren (einzeln angeben)
9. Daten schreiben
10. Formation einer Spur
11. geschützte Daten schreiben
12. suchen
13. positionieren auf Spur 0
14. Abfrage Interruptstatus
15. Abfrage Laufwerkstatus

5.2.1. Charakteristische Merkmale des 8272

Die Adressmarkenerkennungsschaltung ist intern im FDC-Schaltkreis, wodurch sich die Leselektronik vereinfacht. Die Schrittrate, Kopfpladezeit und Kopfentladezeit kann programmiert werden. Die CRC-Zeichenberechnung und -vergleich erfolgt ebenfalls im FDC.

5.2.2. Register - CPU Interface

Der 8272 enthält 2 Register auf welche durch den Systemprozessor zugegriffen werden kann; ein Statusregister und ein Datenregister. Das 8-bit Hauptstatusregister enthält die Statusinformationen des FDC und auf dieses kann jederzeit zugegriffen werden. Das 8-bit Datenregister (in Wirklichkeit besteht es aus mehreren Registern in einem Stapel wobei nur ein Register zu einer bestimmten Zeit an den Datenbus gekoppelt wird), speichert Daten, Kommandos, Parameter und Laufwerkstatusinformationen. Datenbytes werden in das Datenregister eingeschrieben oder ausgelesen, um den FDC zu programmieren oder das Resultat nach der Ausführung eines Kommandos zu erhalten. Das Statusregister kann nur gelesen werden und wird verwendet, um den Datenaustausch zwischen CPU und 8272 zu vereinfachen.

5.2.3. Kommandoausführung

Jede Ausführung eines Kommandos besteht aus 3 Phasen.

Kommandophase: Der 8272 empfängt alle Informationen vom Prozessor, die notwendig sind eine einzelne Operation auszuführen

Ausführungsphase: Der 8272 führt die Operation, zu der er instruiert wurde, aus

Resultatphase: Nach Vollendung der Operation werden Status und andere interne Informationen für den Prozessor verfügbar gemacht.

Nachdem die Ausführungsphase vollendet wurde (Terminal count - Signal (TC) vom DMA wurde empfangen) sendet der 8272 ein Interrupt (INT = 1).

5.2.4. Auswahlmerkmale des 8272

Zwischen den Kommandos (und zwischen den Schrittpulsen) tastet der 8272 alle vier Floppys ab und sieht nach, ob sich der Zustand der Bereitleitung bei einem der Laufwerke

geändert hat. Wenn eine Bereitleitung ihren Zustand geändert hat (z. B. öffnen oder schließen der Klappe der Floppys) erzeugt der 8272 ein Interrupt.

5.3. Der DMA-Controller 8257

Der DMA 8257 ist ein direkter Speicherzugriffscontroller. Er hat die Aufgabe die Datenübertragung bei hoher Geschwindigkeit zu vereinfachen. Seine Hauptaufgabe ist es, abhängig von einer peripheren Anforderung (FDC-Schaltkreis), eine sequentielle Speicheradresse zu erzeugen, die es der Peripherie erlaubt Daten direkt vom Speicher zu lesen oder zu schreiben. Die Programmierung des DMA erfolgt direkt durch die ZRE. Der DMA führt folgendes aus:

1. Erwerb der Steuerung des Systembusses
2. Busbestätigung
3. Ausgabe der niederen 8 bits der Speicheradresse auf die Systemadressleitungen $A_0 - A_7$
Ausgabe der höheren 8 bits der Speicheradresse auf 8212 Tor über den Datenbus (der 8212 ordnet diese Adressbits auf den Leitungen $A_8 - A_{15}$ an)
4. Erzeugung geeigneter Steuersignale

Der DMA 8257 bietet 3 verschiedene Arbeitsmode an:

1. lesen - Datenübertragung vom Speicher
 2. schreiben
 3. prüfen - die tatsächliche Datenübertragung entfällt, wird beim Kontrolllesen angewandt
- Nachdem die spezifizizierte Datenbytzahl übertragen worden ist, aktiviert der 8257 seinen "Terminal count" Ausgang.

6. Datenübertragung zwischen Datenspeicher und Folienspeicher

Die Datenübertragung erfolgt über den FDC-Schaltkreis A14 und dem DMA A10. Die Programmierung ist den Beschreibungen "Floppy Disk Controller 8272" und "Programmierbarer DMA Controller 8257" zu entnehmen.

6.1. Busanforderung und Busabgabe

Der DMA erhält vom 8272 das Signal DRQ (Bereitschaft zur Datenübertragung). Daraufhin sendet der DMA das Signal HRQ und gibt damit das FF A7.4 frei. Mit der nächsten Rückflanke des Systemtaktes wird in das FF 7.4 eine "1" übernommen und damit das Signal $\overline{\text{BUSRQ}}$ durch die Open-Kollektor-Stufe A4.1 gebildet. Die ZRE sendet daraufhin $\overline{\text{BAI}}$ aus dem das Signal HLDA (Bus-Freigabe) für den DMA gebildet wird. Nach Beendigung der Datenübertragung (1 Byte) nimmt der DMA das Signal HRQ zurück. Damit wird das FF A7.4 zurückgesetzt und die Signale $\overline{\text{BUSRQ}}$ und HLDA werden inaktiv. Das Signal $\overline{\text{BAI}}$ wird über die Gatter der Schaltkreise A6.3 und A5.2 durchgeschaltet. Wenn der DMA ein HRQ-Signal ausgegeben hat, wird die $\overline{\text{BAI}}$, $\overline{\text{BAO}}$ Kette am Schaltkreis A5.2 gesperrt.

6.2. Adressbildung des DMA

Mit dem Signal HLDA (Busfreigabe) werden die Adresstreiber 8216 A1.5, A1.4 und 8212 A2 auf Ausgabe geschaltet. Ein Systemtakt später legt der DMA die Adressen an den Adreßbus ($A_0 - A_7$) und Datenbus ($A_8 - A_{15}$). Mit dem Signal ADSTB vom DMA werden die Adressen in den 8212 A2 übernommen. Danach nimmt der DMA die Adressen vom Datenbus weg und setzt seine Datenleitungen in den Tristatezustand. Nach der Datenübertragung eines Bytes wird vom DMA das Signal HLDA auf "0" geschaltet. Dadurch wird der Treiber A15 auf Eingabe geschaltet und die Treiber A1.4 und A2 gehen in den Tristatezustand.

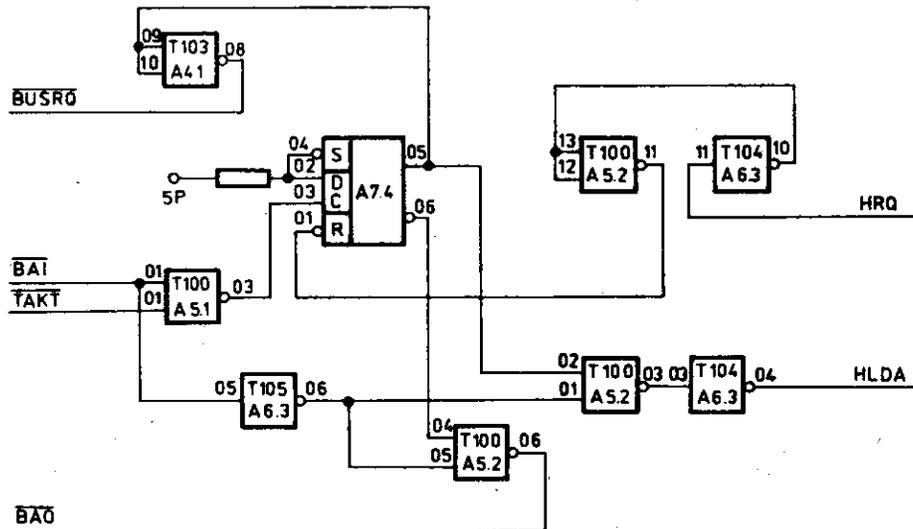


Abb. 3 Busanforderung / Busabgabe

6.3. Datenübertragung vom Folienspeicher zum Datenspeicher (Lesen)

Nachdem der FDC-Schaltkreis programmiert wurde, lädt dieser den Kopf und wartet die angegebene Kopfdruckzeit ab und beginnt mit dem Lesen der ID-Marken und ID-Felder. Wenn die augenblickliche Sektornummer, die im ID-Register steht mit der Sektornummer, die von der Diskette gelesen wurde gleich ist, sendet der FDC-Schaltkreis DRQ an der DMA (der vorher programmiert wurde). Dieser sendet daraufhin HRQ → BUSQ. Nachdem Erhalt des Signale HLDA (wird aus BAI gebildet), hat der DMA die Busherrenschaft. Danach gibt der DMA die Adressen aus (siehe Punkt 5.2.). Dann sendet er die Signale DACK (DMA Bereitschaft) und Y/OR zum FDC-Schaltkreis. Gleichzeitig sendet der DMA das Signal WR (Speicherschreiben) aus dem die Signale WREQ und WR gebildet werden. Mit dem Signal WREQ werden die Datentreiber A1.1 und A1.3 auf Ausgabe geschaltet. Liegen die Signale Y/OR und DACK am FDC-Schaltkreis an, legt dieser seine Daten auf dem Datenbus. Nach zwei Systemtakten werden diese Signale zurückgenommen und die Daten wurden in den Datenspeicher eingeschrieben. Der DMA nimmt das Signal HRQ → BUSQ zurück und schaltet gleichzeitig mit dem Signal HLDA die Adreßtreiber in ihren Ausgangszustand. Die ZRE hat damit wieder die Busherrenschaft. Ist der FDC-Schaltkreis bereit das nächste Datenbytt auszugeben, sendet er wieder HRQ und das Signalepiel beginnt von vorn. Am Ende eines Sektors wird der CRC-Zeichenvergleich vom FDC-Schaltkreis mit durchgeführt. Nach Abarbeitung des Kommandos sendet der FDC ein Interrupt (INT = 1) an den PIO, welcher dieses der ZRE meldet. Fehler werden interruptgesteuert ausgewertet.

6.4. Datenübertragung vom Datenspeicher zum Folienspeicher (Schreiben)

Nachdem der DMA und der FDC-Schaltkreis programmiert wurde, lädt der FDC den Kopf und liest bis er das richtige ID-Feld gefunden hat, dann sendet der FDC-Schaltkreis DRQ (Bereitschaft zur Datenübernahme). Nachdem der DMA die Busherrenschaft übernommen und die Adresse ausgegeben hat (wie beim Lesen), sendet er die Signale DACK und Y/OR an den FDC-Schaltkreis. Gleichzeitig sendet er das Signal WR (Speicherschreiben) aus dem die Signale RD und WREQ gebildet werden. Nach zwei Systemtakten werden diese Signale wieder inaktiv und der FDC-

Schaltkreis hat die Daten übernommen und sendet diese zum Floppy-Laufwerk. Der DMA gibt nach der Übertragung des Datenbytes vom Speicher zum FDC-Schaltkreis die Busherrschaft wieder ab. Wenn der FDC-Schaltkreis wieder bereit ist ein Datenbyte zu übernehmen, sendet er wieder das Signal DRQ. Am Ende eines Sektors sendet der FDC automatisch die CRC-Zeichen zum Floppy. Nach Abarbeitung eines Kommandos wird vom FDC-Schaltkreis ebenfalls ein INT-Signal gesendet. Fehler werden interruptgesteuert ausgewertet.

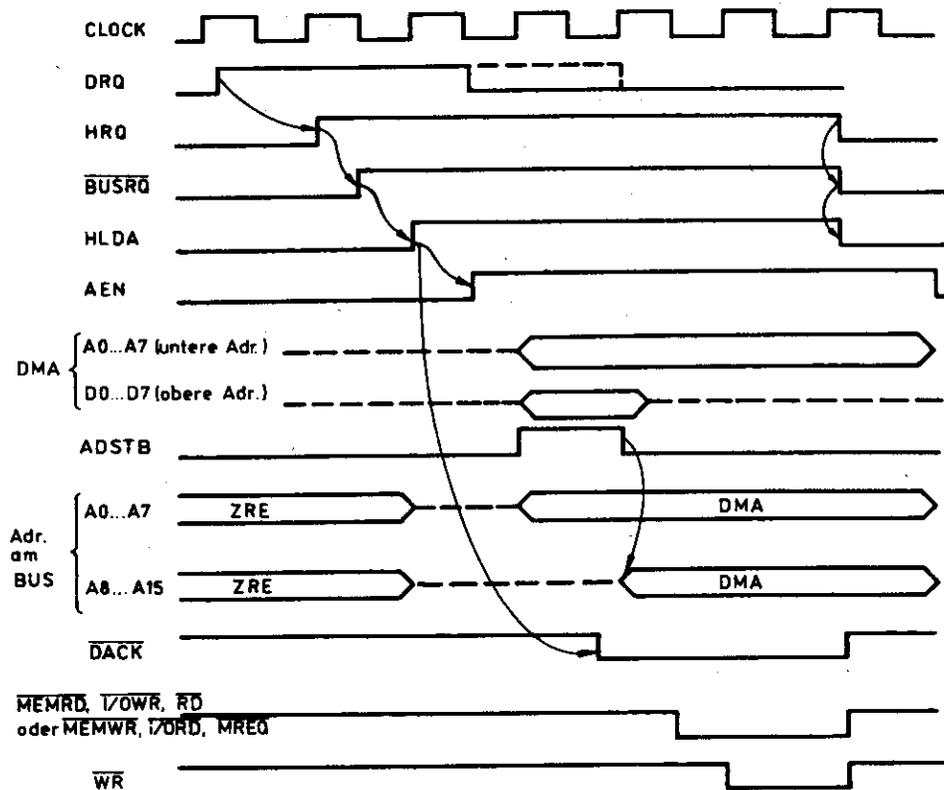


Abb. 4 Signale am DMA und Adressbus

6.5. Steuersignale

Wenn der DMA keine Busherrschaft hat sind die Steuersignale über den DS 9286 A3 auf Eingabe geschaltet und liegen an den LSI-Schaltkreisen (DMA, FDC, PIO) an. Hat der DMA das Busbestätigungssignal HLDA erhalten, wird der Treiber A3 mit diesem Signal auf Ausgabe geschaltet. Die Signale \overline{RD} und \overline{WR} zum FMA werden mit dem Signal AEN am Schaltkreis A4.2 gesperrt. Aus den Signalen \overline{MEMW} oder \overline{MEMR} wird das Signal \overline{MREQ} am Schaltkreis A5.1 gebildet. Das Signal \overline{MEMW} wird durch das FF A7.1 um einen halben Systemtakt verzögert und wird das Signal \overline{WR} . Das Signal \overline{MEMR} geht direkt zum Treiber und bildet das Signal \overline{RD} . Die Signale \overline{HI} , \overline{IORD} und \overline{RFSH} sind alle "1". Mit Zurücknahme des Signale HLDA wird der Treiber A3 wieder auf Eingabe geschaltet.

7. Leitungstreiber

Als Leitungstreiber wurde der Schaltkreis K155 LP7 verwendet, der hinsichtlich Strombedarf und Open-Kollektorstufe den gegebenen Forderungen entspricht. Eine Eingangsstufe ver-

braucht $I_{OL\ max} = 24\ mA$, da 4 Laufwerke parallel angeschlossen werden können, muß ein Leitungstreiber mindestens $I_{OL\ min} = 96\ mA$ liefern. Deshalb wurde oben genannter Schaltkreis verwendet. Er besitzt $I_{OL\ max} = 300\ mA$. Für die Laufwerksauswahl wurde der Treiber T138 eingesetzt, der $I_{OL\ max} = 48\ mA$ liefert. Die Empfangsleitungen sind entsprechend den technischen Forderungen mit folgendem Widerstandnetzwerk beschaltet.

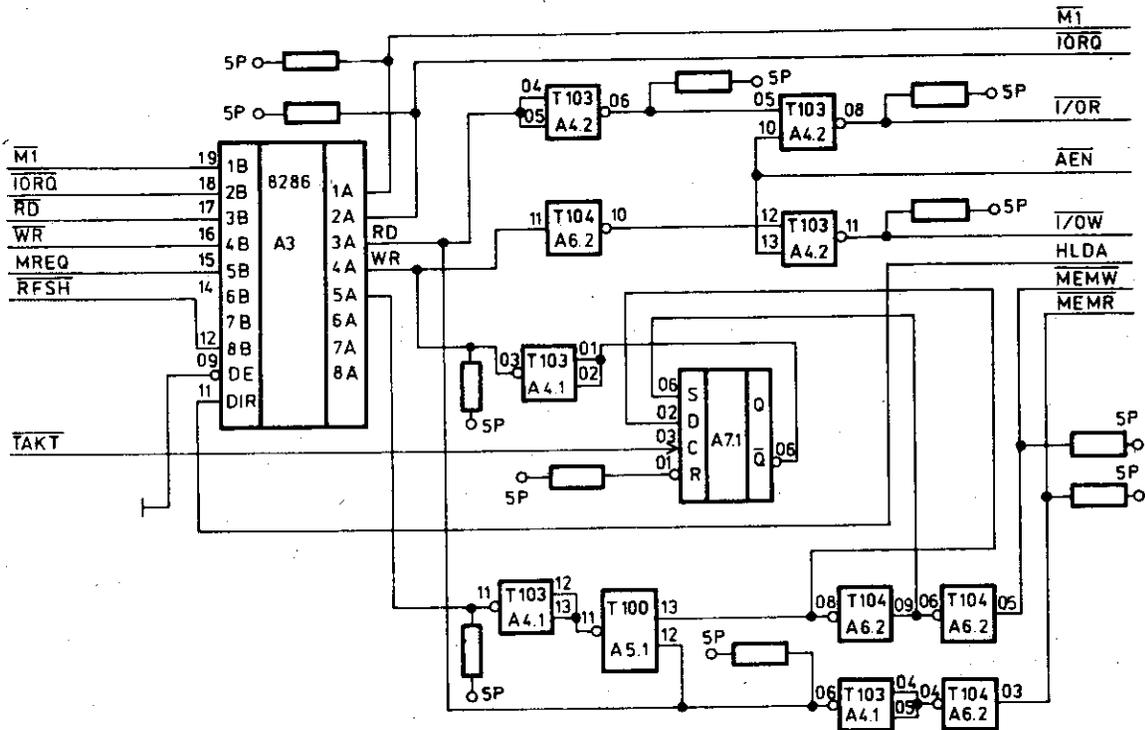


Abb. 5 BUS - Steuerung

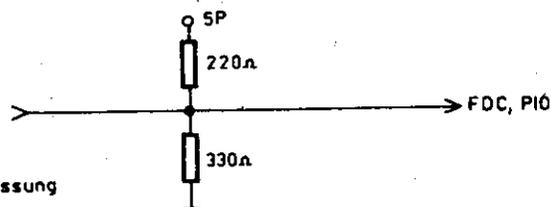


Abb. 6 Eingangsseitige Anpassung

8. Senderbaustufen

8.1. Impulsverkürzerstufe

Um eine genaue Auswertung der Lesedaten im FDC-Schaltkreis zu ermöglichen ist eine Impulsverkürzerstufe nötig. Die Polarität des Datenfensters ist egal.

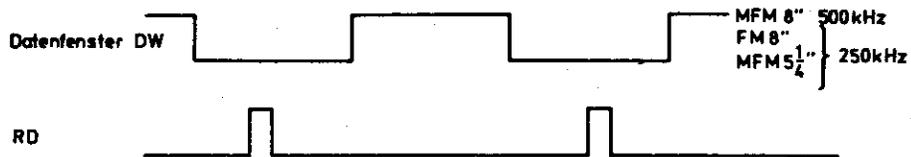


Abb. 7 Auswertung des Takt-Datengemischs durch den FDC - Schaltkreis

Mit Hilfe des Datenfensters (von der PLL gebildet) wird die Takt-Datenkennung durch den FDC-Schaltkreis durchgeführt. Das Datenfenster hat immer eine bestimmte Polarität in dem Zeitraum wo Daten ankommen können. Bei den Taktimpulsen hat das Datenfenster die entgegengesetzte Polarität. Ein RD-Impuls darf nicht gleichzeitig anliegen, wenn am Datenfenster die Polarität umgeschaltet wird. Der RD-Impuls wird von dem Univibrator A13.2 abgegriffen. Die Impulsbreite beträgt dort $630 \text{ ns} \pm 50 \text{ ns}$. Durch ein Verzögerungsglied und ein Verkürzungsstufe wird dieser Impuls $80 \text{ ns} \pm 20 \text{ ns}$ breit.

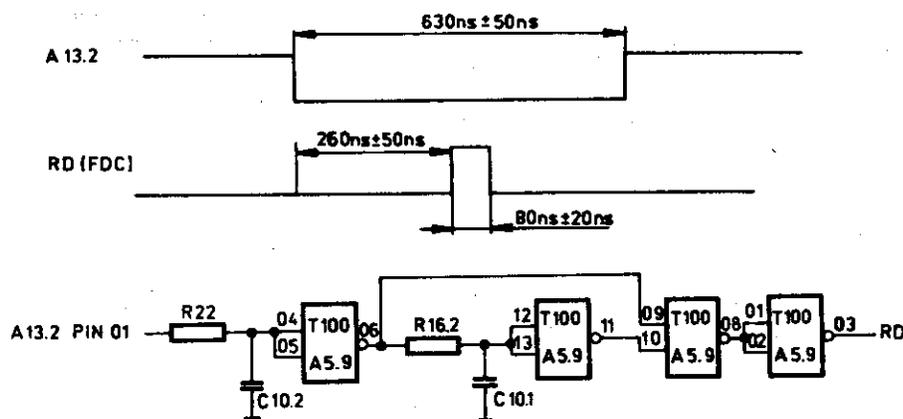


Abb. 8 Impulsverkürzerstufe

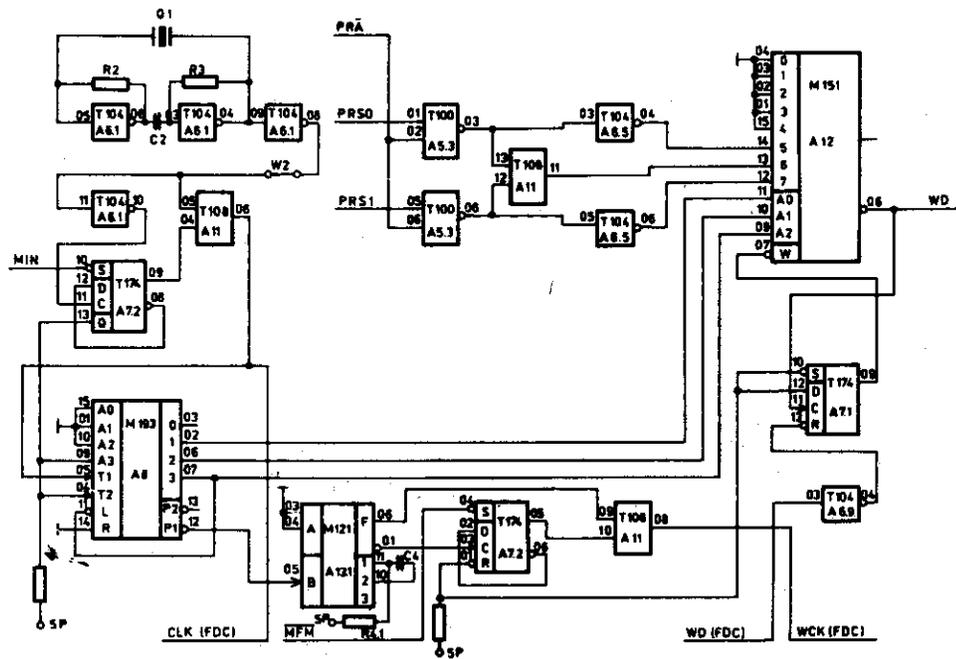


Abb. 9 Schreibtakt und Prekompensationsschaltung

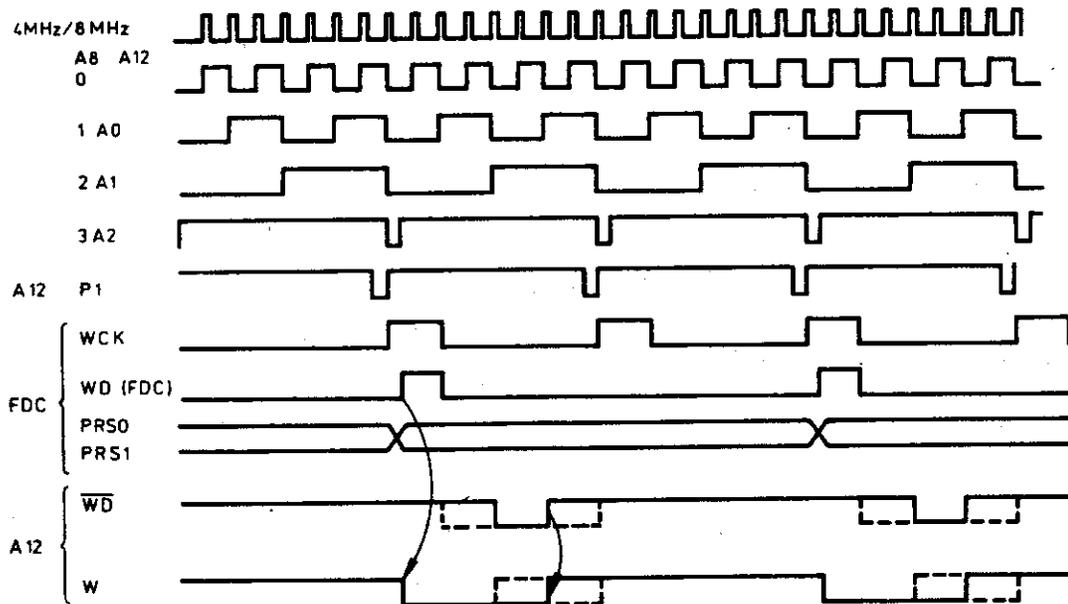


Abb. 10 Taktdiagramm Prekompensation

8.2. Taktgenerator und Precompensation

Der Takt von 8 MHz wird von einem Quarzoszillator erzeugt. Bei Minifloppy-Betrieb wird dieser durch das FF A7.2 auf 4 MHz geteilt. Dieser Takt bildet den Arbeitstakt CLK für den FDC-Schaltkreis. Durch den Zählererschaltkreis A8 wird dieser Takt auf 1 MHz bzw. 500 KHz geteilt. Durch den Univibrator A13.1 haben die Impulse eine Breite von 230 ns \pm 75 ns (Forderung des FDC-Schaltkreises). Bei FM-Betrieb wird dieser Takt am FF A7.2 nochmals geteilt und bildet den Schreibtakt WCK für den FDC-Schaltkreis. Dieser Takt wird im FDC-Schaltkreis mit den Schreibdaten verknüpft und diese liegen am Ausgang WD des FDC-Schaltkreises an. Zur gleichen Zeit liegen an den Ausgängen PRSO, PRSI die Information für die Precompensation an. Diese Information ändert sich nicht bis zum nächsten WD-Signal.

	PRSO	PRSI
normal	0	0
früher	0	1
später	1	0

Diese Information wird decodiert und liegt am Multiplexer A12 an den Toren 5,6,7 an. Alle 250 ns (500 ns) ändern sich die Adressen (A0, A1, A2), die durch den Zähler A8 gebildet werden. Wenn der Multiplexer freigegeben ist, schaltet er nacheinander (alle 250 ns bzw. 500 ns) die Informationen der Tore 4,5,6,7 durch. Wenn ein WD-Signal vom FDC-Schaltkreis ausgegeben wird, wird das FF A7.1 zurückgesetzt und damit der Multiplexer A12 freigegeben. Nacheinander werden die Informationen der Tore 4,5,6,7 durchgeschaltet. Von dem Tor an dem ein "1" Signal anliegt, wird das WD-Signal gebildet. Mit der Rückflanke des WD-Signals wird das FF A7.1 gesetzt und der Multiplexer gesperrt, bis der FDC-Schaltkreis das nächste WD-Signal ausgibt.

8.3. PLL-Schaltung

8.3.1. Prinzip

Die in der Beschreibung verwendeten Abkürzungen haben folgende Bedeutung:

PLL - phase locked loop, Phasenregelkreis, Phasenregelgeschleife

VCO - voltage controlled oscillator, spannungsgesteuerter Oszillator

PC - phase comparator, Phasenvergleichler

Die PLL ist ein Regelsystem, dessen Aufgabe darin besteht, einen Oszillator in Frequenz und Phase mit einem Eingangssignal zu synchronisieren. Sie erzeugt also Taktimpulse, die in fester Relation zum Eingangssignal stehen. Die PLL besteht aus vier Funktionsblöcken. Diese sind der PC, Tiefpaß, VCO und der Teiler.

Das Blockschaltbild eines PLL-Systems ist in Abb. 11 dargestellt.

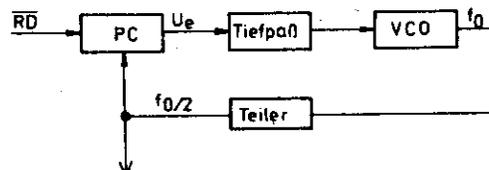


Abb. 11 Blockschaltbild

Liegen keine Eingangsdaten an (\overline{RD}), schwingt der Oszillator auf seiner Grundfrequenz $f_0 = 2 \text{ MHz}$. Mit dem Anlegen des Eingangssignals vergleicht der PC Phase und Frequenz des Eingangssignals mit der geteilten VCO-Frequenz und ermittelt daraus eine Fehlerspannung U_e . Sie ist das Verhältnis von Phase und Frequenzdifferenz zweier Signale. Der Tiefpaß wandelt das digitale Fehler-signal in eine Gleichspannungsdifferenz um, die durch einen Operationsverstärker verstärkt und an den Steuereingang des VCO geführt wird. Die verstärkte Fehlerspannung verändert die VCO-Frequenz solange, bis diese mit der Frequenz der Eingangs-information identisch ist. Die PLL ist damit "eingerastet". Eine Phasendifferenz zur Erzeugung der Fehlerspannung bleibt bestehen. Damit wird garantiert, daß die PLL eingerastet bleibt und Schwankungen des Eingangssignals folgen kann. Für die PLL sind folgende statische und dynamische Stabilitätsgrenzen definiert:

- Haltebereich (hold-in-range)
- Fangbereich (lock-in-range oder capture range)
- Ziehbereich (pull-in-range)
- Ausrastbereich (pull-out-range)

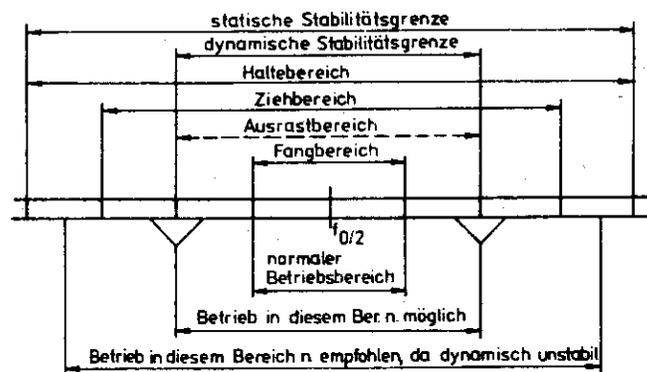


Abb. 12 Statische und dynamische Stabilitätsgrenzen

Der Haltebereich ist der Bereich, in dem die PLL statisch stabil arbeiten kann. In der Praxis wird der Haltebereich durch den Frequenzbereich definiert, der durch VCO angesteuert werden kann. Der normale Betriebsbereich sollte der Fangbereich sein. In ihm erfolgt das Einrasten innerhalb einer Schwebung zwischen Eingangs- und Ausgangssignal. Innerhalb des Ziehbereichs ist das Einrasten der PLL nach einer endlich langen Zeit gewährleistet. Die VCO-Frequenz "schaukelt" sich in einer gewissen Zeit (pull-in-time) auf den Wert der Eingangsfrequenz auf. Der Ausrastbereich ist der maximale Frequenzsprung, der am Eingang angelegt werden kann, ohne daß das System ausrastet. Rastet die PLL infolge eines Störpulses einmal aus, so würde das System mit einem Ziehvergang wieder einrasten. Da dies unter Umständen sehr lange dauert, wird in den meisten Fällen der Arbeitsbereich auf den Fangbereich beschränkt.

8.3.2. Schaltungsbeschreibung

In Abb. 14 ist die PLL-Schaltung dargestellt. Das \overline{RD} -Signal gelang über die Widerstandskombination ($R8.3, R5.8$) an den Eingang des Univibrators ($A13.2$), der die Aufgabe hat das Signal zu regieren und auf eine Impulsbreite von 630 ns zu bringen. Der Ausgang des Univibrators ($A12.2/06$) ist an den Phasenkomparator geführt, der aus zwei NAND-Cattern ($A5.8/08, A5.8/11$) besteht. Der PC vergleicht die Eingangsdaten (\overline{RD}) mit dem durch FF ($A7.3$)

geteilten VCO-Takt. Die Ausgänge PC - Phase A und Phase B (A5.8/11, A5.8/09) - gehen zu zwei symmetrisch aufgebauten Tiefpaßfiltern, die aus den Widerständen R6.1, R7.1 sowie dem Kondensator C5.1 auf der einen Seite und R6.2, R7.2 und C5.2 auf der anderen Seite gebildet werden. Die Filterausgänge liegen an den positiven bzw. negativen Eingängen des Operationsverstärkers (A22). Die Verstärkung des Operationsverstärkers wird durch die Widerstände R10, R11 bestimmt. Sie sind so ausgelegt, daß ein maximaler Regelbereich des VCO erreicht wird. Der Regelbereich des VCO bestimmt die Größe des Fang- und Haltebereiches maßgebend. Die Dimensionierung der Konstantstromquelle (T1, R13, R20, C7) und die Schaltschwelle des Komparators (A19) bestimmen die Grundfrequenz des VCO (f_0). Sie wird mit dem Dickeschichtstellregler R20 auf $2 \text{ MHz} \pm 1\%$ eingestellt ($RD = 1$). Mit R8.7 und V1.5D wird der Transistor T1 auf seinen Arbeitspunkt eingestellt. Über die Emitter-Kollektorstrecke fließt ein konstanter Strom, der den Kondensator C7 auflädt. Wird die Schwellenspannung des Komparators erreicht, erscheint an dessen Ausgang log. 1. Dadurch werden Gatter von A21 umgeschaltet und der Kondensator C7 über den Widerstand R12, gegen Masse entladen. Gleichzeitig wird durch Veränderung des Spannungsteilers R18/R17.2-R16.1 über A21/08 parallel zu R17.2 gegen Masse - die Referenzspannung des Komparators (A18/11) herabgesetzt. Unterschreitet die Spannung über C7 den Wert der Referenzspannung, schaltet der Ausgang (A10/09) wieder auf "0" und der Vorgang kann mit einer Kondensatoraufladung von vorn beginnen. Ändert sich nun die Spannung an der Basis des Transistors T1 infolge einer f_0 abweichenden Eingangsfrequenz, so wird auch der Ladestrom des Kondensators verändert. Das wiederum ruft eine Veränderung der Zeitkonstante und somit der Frequenz des VCO hervor.

Im folgenden Impuldiagramm ist eingeregeltetes PLL-System dargestellt.

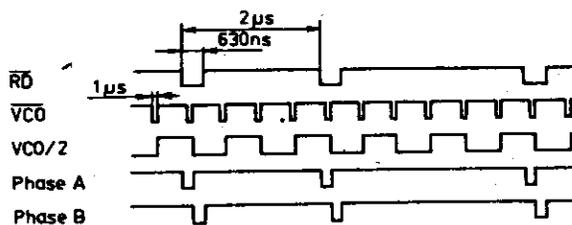


Abb. 13 Diagramm

VCO = 2 MHz

Bei FM-Betrieb oder Minifloppybetrieb wird die VCO/2-Frequenz durch das FF A7.4 geteilt.

8.3.3. Prüfung der PLL-Schaltung

In der Fertigung erfolgt die Prüfung der PLL-Schaltung mit dem Webbelgenerator WG 500, der speziell für diesen Anwendungsfall entwickelt wurde. Steht dieses Gerät nicht zur Verfügung, können einige statische Messungen mit folgenden Meßgeräten durchgeführt werden:

- Oszillograph
- Zähler
- Impulsgenerator

Die Anschlußsteuerung muß mit folgenden Signalen und Spannungen beschaltet werden:

- Steckverbinder X1

A1/C1	= Masse
A15	= 5M
A29/C29	= 5P
- Steckverbinder X3

A12	= RD
-----	------

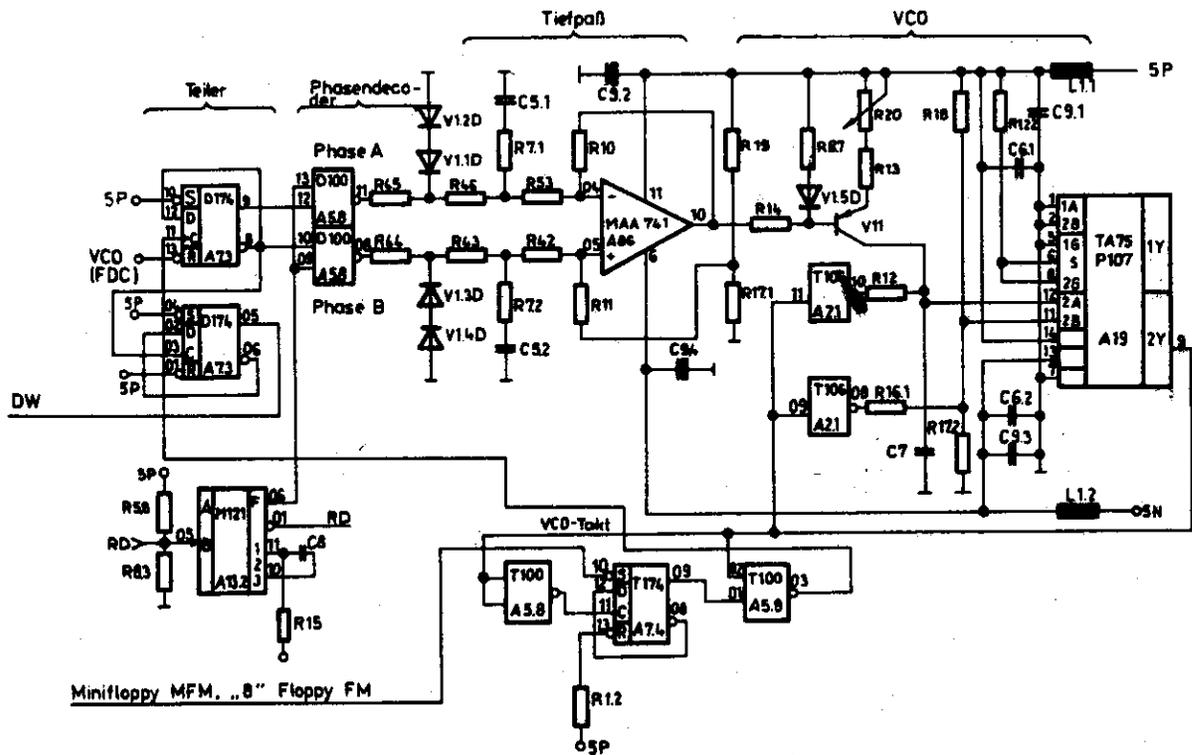


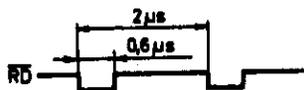
Abb. 14 PLL-Schaltung

8.3.3.1. Überprüfung VCO-Frequenz ($2 \text{ MHz} \pm 1 \%$)

Zähler an Steckverbinder X2 - A16 oder Brücke W12 (MP3) anschließen. Korrektur der VCO-Frequenz mittels R20 bei $\overline{RD} = 1$.

8.3.3.2. Statische Prüfung

Impulsgenerator an $\overline{RD} - X3 - A12$ anschließen. Folgende Impulsform ist einzustellen:



Oszillograph an X2-A16 (MP3) und X3-A12 (\overline{RD}) anschließen. Die PLL ist eingerastet, wenn VCO- und \overline{RD} -Frequenz synchron laufen, d. h. jeder 4. VCO-Taktimpuls muß innerhalb der \overline{RD} -Information liegen.



Durch Verändern der \overline{RD} -Frequenz läßt sich der Halte- und Ziehbereich annähernd bestimmen. Eine dynamische Messung, die erst eine Aussage über die volle Funktionsfähigkeit der PLL-Schaltung geben darf, erfolgt mit dem Wobbelgenerator WG 500.

IV. Kurzzeichenübersicht

X1. Signale am DMA

DRQ	- DMA-Anforderung
<u>DACK</u>	- DMA-Bestätigung
DO - D7	- Datenbus für Programmierung Bei DMA-Betrieb werden über diese Leitungen die höherwertigen 8 Adreßbit ausgegeben.
<u>I/OR</u>	- Im Sklaven-MODE läßt der Eingang des Lesen des Statusregisters des DMA zu. Im Herren-MODE ist I/OR ein Steuerausgang, um auf die Daten des 8272 zuzugreifen, während des DMA-Schreibzyklusses.
I/OW	- Im Sklaven-MODE läßt der Eingang die Programmierung des DMA zu. Im Herren-MODE ist er ein Steuerausgang, so daß die Daten zum 8272 übertragen werden.
A0 - A3	- Adreßleitungen Im Sklaven-MODE sind sie Eingänge, die eines der Register auswählen. Im Herren-MODE sind sie Ausgänge, die die niedrigen 4 Bits der 16 Bit-Speicheradresse festlegen.
<u>CS</u>	Schaltkreisauswahl bei der Programmierung
A4 - A7	- Adreßleitungen Legen im Herren-MODE die Bits 4-7 der Speicheradresse fest.
READY	- Wird zur Verlängerung der Speicherlese und -schreibzyklen des DMA mittels WAIT Zustände benutzt.
HRQ	- Busanforderung
HLDA	- Busbestätigung
<u>MEMR</u>	- Speicherlesen
<u>MEMW</u>	- Speicherschreiben
<u>ADSTB</u>	- Adressen Markierung; Markiert das höherwertige Byte der Speicheradresse vom Datenbus in den 8212
AEN	- Adreßzuschaltung
TC	- Dieser Ausgang meldet, daß das letzte Datenbyte des laufenden DMA-Zyklusses ausgegeben wird.

X2. Signale am FDC-Schaltkreis

WCK	- Schreibtakt
RST	- Reset
<u>RD</u>	- Lesen; Steuersignal für Datenübertragung vom FDC zum Datenbus
<u>WR</u>	- Schreiben; Steuersignal für Datenübertragung zum FDC über den Datenbus
<u>CS</u>	- Auswahl
A ₀	- Daten/Steuerregisterauswahl
DB ₀ - DB ₇	- Datenbus
DRQ	- DMA-Anforderung
TC	- Endequittung; zeigt Ende einer DMA-Übertragung an
<u>DACK</u>	- DMA-Freigabe, DMA-Zyklus aktiv
IX	- Index
INT	- Interrupt
<u>RW/SEEK</u>	- Lesen, Schreiben/Positionieren
LCT/DIR	- Schreibstromverringering/Richtung
FR/STP	- Fehler rücksetzen/Schritt

HL	- Kopf laden
RDY	- Laufwerk bereit
WP/TS	- Schreibschutz/zweiseitig
FLT/TROO	- Fehler/Spur 00
PS0, PSI	- Vorkompensation
WD	- Schreibdaten
DS0, DSI	- Laufwerksauswahl
MEM	- MFM-Betrieb
WE	- Schreibfreigabe
VCO	- VCO-Synchronisation
RD	- Lesedaten
DW	- Datenfenster

X3. Sonatige Signale

ARDY	- Quittungssignal des PIO Tor A
ASTS	- Steuersignal des PIO Tor A
BAI	- Busbestätigung - Eingabe
BAO	- Busbestätigung - Ausgabe
BUSRQ	- Busanforderung
DIEN	- Steuersignal für 8216 chip
ID	- Identifikationsmarke
IEI	- Unterbrechungsgenehmigung - Eingabe
IEO	- Unterbrechungsgenehmigung - Ausgabe
INT	- Interrupt
IODI	- Ein-/Ausgabe abschalten
IORQ	- Ein-/Ausgabe anfordern
IX	- Index
PLL	- Phasenregelschleife
RESET	- Rücksetzen
LCK	- Motor an, Verriegelung
SP	- Precompensation einschalten
TCP	- Terminal count - Signal vom PIO
IXV	- Indexverbot
LK	- Laufwerkskodierung
CS	- Chipauswahl
M1	- Maschinenzyklus 1
RD	- Lesen
WR	- Schreiben
CLK	- Takt

X4. Interfacesignale zum Floppy-Disk

RD	- Lesedaten (input)
WD	- Schreibdaten (output)
WE	- Schreibdaten erlaubt (input)
RDY	- Laufwerk bereit (input)
IX	- Index (input)
SEO-/SE3	- Laufwerksauswahl (output)
TROO	- Spur 00 (input)
TS	- zweiseitig (input)
FLT	- Fehler (input) *

WP	- Schreibschutz (input)
LCT	- Schreibstromverringierung (output)
SD	- Schrittrichtung (output)
FR	- Fehler rücksetzen (output)
HL	- Kopf anschwenken (output)
HS	- Kopfauswahl (output)
<u>LCK0-LCK3</u>	- Verriegelung, Motor an (output)

robotron

VEB Robotron
Buchungsmaschinenwerk
Karl-Marx-Stadt
DDR 9010 Karl-Marx-Stadt
Annaberger Straße 93

Exporteur:
Robotron – Export/Import
Volkseigener
Außenhandelsbetrieb
der Deutschen
Demokratischen Republik
DDR – 1080 Berlin
Friedrichstraße 61